

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

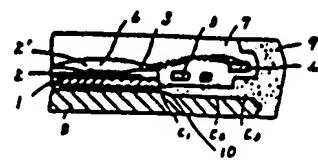
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) RESIN SEALED SEMICONDUCTOR DEVICE
(11) 63-233555 (A) (43) 29.9.1988 (19) JP
(21) Appl. No. 62-65715 (22) 23.3.1987
(71) TOSHIBA CORP. (72) SHINJIRO KOJIMA
(51) Int. Cl'. H01L23/30, H01L23/34

PURPOSE: To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

CONSTITUTION: A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapsulating agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C₁ being provided. A second resin seal part 9 is formed. Here, gaps C₂ and C₃ are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C₁. Since the gap C₁ is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



① 日本国特許庁 (JP) ④ 特許出版公開
③ 公開特許公報 (A) 昭63-233555

⑤ Int.CI.
H-01 L 23/30
23/34

類別記号 厅内整理 号
B-6835-5F
B-6835-5F

⑥ 公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

⑦ 発明の名称 樹脂封止型半導体装置

⑧ 特 願 昭62-65715
⑨ 出 願 昭62(1987)3月23日

⑩ 発明者 小島 伸次郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑪ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
⑫ 代理人 弁理士 井上 一男

明細書

1. 発明の名称

樹脂封止型半導体装置

2. 特許請求の範囲

半導性金属板基板にマウントする半導体素子と、この周囲に配置する遮蔽をもつリード線子と、このリード線子と前記半導体素子間に接続する金属端子と、この金属端子及び前記半導体素子を埋設し前記端子と金属板の裏面を対応して封止構造する第1の樹脂封止部と、前記端子と金属板の裏面と僅かな距離を、隣接して対向配置する板状の放熱フィンと、この僅かな距離をうの前記板状の放熱フィンの裏面を露出し前記第1の樹脂封止部を含めて封止構造する第2の樹脂封止部とをもつ樹脂封止型半導体装置において。

前記板状の放熱フィンと半導性金属板基板の距離を最小とし、前記放熱フィンと第1の樹脂封止部間の距離、前記金属端子を接続する前記リード線子に対応する第1の樹脂封止部と前記板状の放熱フィンとの距離を依次増大することを特徴とする。

る樹脂封止型半導体装置。

3. 発明の詳細な説明

(発明の目的)

(技術上の利用分野)

本発明は樹脂封止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCRアレイ等のパワーモジュールや、パワートランジスタならびにパワーSSOI等の高出力半導体装置に適用する二重にモールドを施した半導体装置に関するものである。

(従来の技術)

最近の半導体装置には單一の半導体素子で構成するものの外に、複数の半導体素子ならびに付属部品を一體としたモジュールタイプも多用されており、その散熱性を改善するにはリードフレームにマウントした半導体素子と共に放熱フィンもトランスファ成形する方が採用されている。

このようなモジュール製品では複数の半導体素子をマウントする寸法の大きいリードフレームを用いるため樹脂封止構造工場中に拘束して、放熱

ファインとリードフレームのペッド部端部が異常に熱くなったりむきられることがある。

このために、被膜対止（トランスマルチモールド）工場を複数回に分けて実施する方法がは用されており、リードフレームのペッドと放熱ファイン部の距離を所定の値に維持できるので、放熱性の改善に役立つところが大きい。

第10図によりこの二重モールド方式を説明する。第10図は二重モールドを施した部品の断面図、この構造をほとには第1の被膜対止を備えた部品Aを、リードフレームのペッド部20萬面と放熱ファイン21を直かな距離を保って金属内に配置した第一の被膜対止部22と同様なエボキシ被膜によって封止成形を行って第二の被膜対止部23を設ける。

この二重モールド方式の結果、ペッド部20にダイポンディングした半導体素子24ならびにリードフレームのリード端子25を被膜する金属板26等が埋設すると共に、放熱ファイン21の一側はこの対止部23と連続して表面を形成する。

（発明が解決しようとする問題点）

にマウントした半導体素子と電気的接続を保るべく固定した金属板にはリード端子を連結しこれに対応する第1の被膜対止部と板状放熱ファイン間の距離とを既次増大する手法を採用する。

（作用）

このように本発明では極めて狭い領域に充填する接合樹脂量を既次縮小するように配慮しているので、入りよく使ってエアボイドの発生を防止して、被膜対止部半導体装置に必要な信頼性ならびに放熱性を確保したものである。

（実質的）

第1回乃至第9回に本発明の実施例を説明するが、従来の技術と異様な記載が既往上一般にあるが、番号を付して説明する。

この実施例は半導体素子6ヶで構成する回路（第5図）をもつ被膜対止部半導体装置であり、この各半導体素子をマウントするリードフレームも当然直線化構造が必要となるが、その上面図を第2図に示す。

半導体素子2…にペッド部にちば電気性金属板1

このような二重モールド方式を適用した被膜対止部半導体装置は前述のように放熱ファインと、半導体素子セイダイポンディングしたリードフレームのペッド部端を直かな距離とし、更にこの空間に被膜対止部を充填するので無放散性に優れた特徴を有している。これに反して、前記空隙に対止部が入りにくいためエアボイドが発生しやすい。また、この兩対止部の境界に構造的陥穀を有すると、異物やエアギャップが入り易い難点があり、これが基で放熱特性が劣化する。

本発明は上記欠点を除去する新規な被膜対止部半導体装置を提供することを目的とする。

（発明の構成）

（問題点を解決するための手段）

二重モールド方式を適用した被膜対止部半導体装置における板状の放熱ファインと、リードフレームのペッド部端に直接性金属板を充填する第2の被膜対止部のエアギャップ等を解消するために、この極めて狭い領域につながる板状の放熱ファインと第1の被膜対止部間の距離と前記導電性金属板

…にマウントされているが、そのバーンは直線でありかつ密度が高いことが良くわかる。一方このリードフレームは第1回等に示すように導電性金属板1…と内部リード端子部3ならびに後述するよう金属繊維をポンディングする外部リード端子部4の3部分の高さを互に異らせるように計りてこの導電性金属板1…を絶縁的位置にする。

半導体素子2…に設けるペッド2'…と外部リード端子4間に通常のポンディングによって金属繊維5を接種して電気的接続を図り、これをエンキヤシップ部6によって被膜後公知のエボキシ樹脂によるトランスマルチモールド工場を通して第1の被膜対止部7を設ける。この結果半導体素子2、内部外部リード端子3、4は、金属繊維5とエンキヤシップ部6は接種されたものの、導電性金属板1…の高さはこの第1の被膜対止部7表面に対応する。

更に露出した導電性金属板1に対して僅かの距離を保って板状の放熱ファイン8を被膜モールド用金属内に設けて第2の被膜対止部9を形成する。

この場合、板状の放熱フィン9と導電性金属板1面の底面C₁、内部リード3に対応する第1の複層対止部7と板状の放熱フィン9面の底面C₁、外部リード4に対応する第1の複層対止部7と板状の放熱フィン9面の底面C₁として複層複層が流れ易いように配慮している。C₁に示す範囲を維持するには第1図に示すように板状の放熱フィン9の所定位置即ち内部リード端子3に向むける位置にプレス加工で凹部10を設けるか、第8図に示すように第1の複層対止部7の厚さを小さくしても良い。尚このトランスマルチモールド工程におけるゲート位置はC₁方向に設けて前述のように複層複層の流れを改善して最も良いC₁の通過を良好にする。

更にこの複層複層の流れに配慮した例が第3～4図、第6～8図であり、結果的には第2の複層対止部9が第1の複層対止部7を剪め付けて板状の放熱フィン9と導電性金属板1面のエアーギャップを防止している。

この第4図は第2の複層対止部9形成を終え

たる工程を終えた複層対止型半導体基板の上位面であり第1及び第2の複層対止部7、9が連続して長さを形成しているが、この第1の複層対止部7の外側に7a～7cの段階を形成している。第3図イは、第1の複層対止部7を形成してから不要部分を除去した成形品の平面図であり、これをA-A線に沿って切断した断面が第3図ロである。

この段階は、第2の複層対止部9との密着を良くするために半導体端子の外観言い換えると導電性金属板1…の中間位置に形成し、この成形に当っては段階に相当する上部キャビティの成形型を使用し、かつこの導電性金属板1の裏面が第1の複層対止部7の裏面を下部キャビティの裏面に固定配置してトランスマルチモールド工程を実施して得られる。

第6図～第8図は第4図に示したB-B、C-C、D-Dの各部に沿って切断した成形品の断面図であり、第1の複層対止部7の段階7a～7cにエポキシ樹脂で構成する第2の複層対止部9a～9dが完成され、第7図に示す底部テーパ7eは第2の複層

対止部9に対してUnder Cutの逆テーパであって斜度しくは5°より斜度しくは10°以上に設置する。

この段階は半導体端子2の外側をほぼ囲んで抜けられているので、前記C₁の底面を持つ導電性金属板1と板状の放熱フィン9間に充填する第2の複層対止部9の密着性が改善されて、第1の複層対止部7を剪め付ける効果を発揮する。

尚第4図に示すように第1の複層対止部7が露出する面積は第1の複層対止部7の設置面積の約50%が斜度しく、密着力を強めるために少なくするとC₁底面を所望の寸法に改めることができます。ボイドが抜けずに遮蔽不良となる。これは第2の複層対止部9成形時にC₁底面をもった構造が後から充填されてここで複層圧が小さくなつてかつボイドを埋込み易いためである。

(発明の効果)

この二重モールド方式を採用した複層対止型半導体装置では板状放熱フィンと第1の複層対止部間に第2の複層対止用樹脂が充填され易くて、エ

アーポイドが発生し難い。従って半導体装置の耐熱性が安定して高耐圧端子が挿られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状放熱フィンを使用して外形寸法が77(幅)×27(高)×7(厚)mmである第4図の複層対止型半導体装置を試作としてC₁を0.34mmとすると、ピーク値として10°C/minを1分でクリアでき、0.3mmでは10°C/minを1分をクリアした。

4. 図面の簡単な説明

第1図は本発明の係る半導体装置の裏面を示す断面図、第2図はリードフレームの平面図、第3図イは第1の複層対止部の状態を示す上位面、第3図ロは第3図イをA-A線に沿って切断した断面図、第4図は本発明に係る半導体装置の上位面、第5図はこの半導体装置の回路図、第6～第8図は第4図のB-B、C-C、D-D部に沿って切断した断面図、第9図は本発明に係る半導体の裏面を示す断面図、第10図は從来装置の裏面である。

代理人 外堀士典 上一男

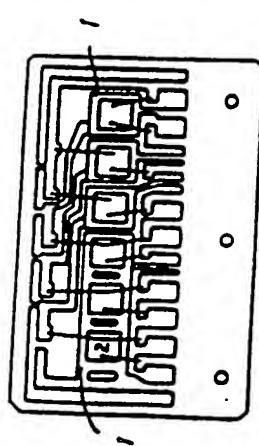
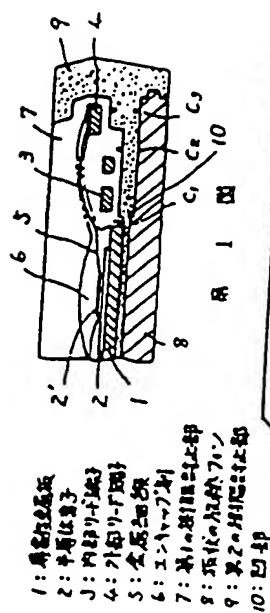


図 2 図

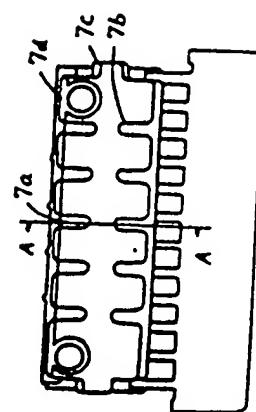


図 3 図

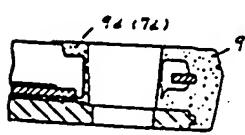
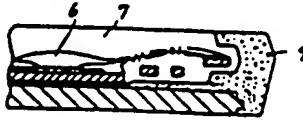
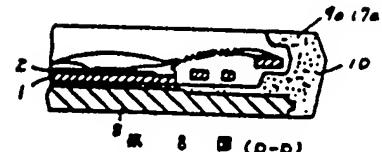
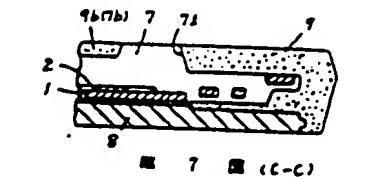
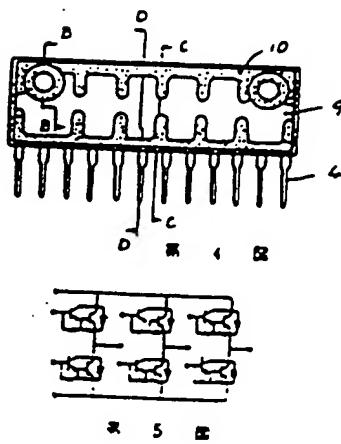


図 6 図 (B-B)

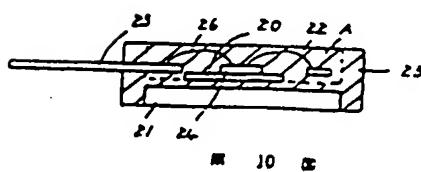


図 7 図 (A-A)